

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-169266

(43)Date of publication of application : 04.07.1995

(51)Int.Cl.

G11C 11/403

(21)Application number : 05-315456

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing :

15.12.1993

(72)Inventor : KOTANI HISAKAZU

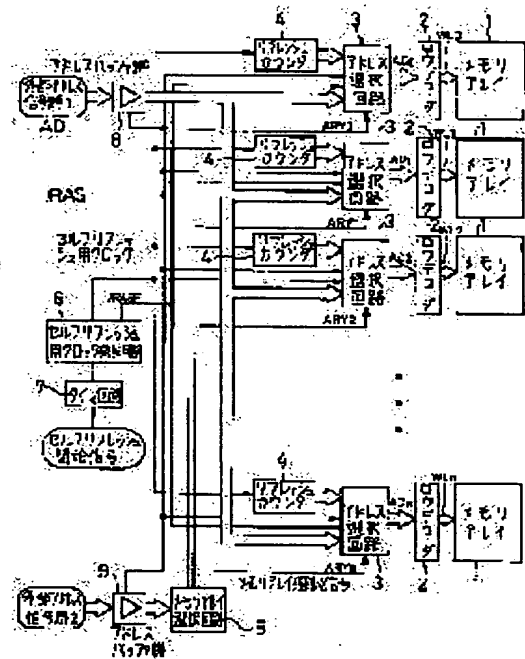
AKAMATSU HIRONORI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a large capacity high speed serial access semiconductor memory unecessitating refresh control from the outside.

CONSTITUTION: Plural pieces of divided memory arrays 1... are provided in a chip, and when a prescribed memory array 1 is selected by a memory array selection circuit 5, a word line in the selected memory array 1 is selected by an address of an external address signals group 1. Simultaneously, for unselected memory arrays 1..., a word line basic clock for self refresh and a word line basic clock/RASF are outputted from a clock generation circuit 6 for self refresh incorporated in the chip, and the word line in the unselected memory arrays is selected. By outputting a refresh stop signal before a setting time when the memory array 1 is selected, and forcedly stopping refresh operation, the insufficient charge re-accumulation of a memory cell is prevented.



LEGAL STATUS

[Date of request for examination] 16.04.1997

[Date of sending the examiner's decision of rejection] 22.05.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-169266

(43)公開日 平成7年(1995)7月4日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/403

G 1 1 C 11/ 34

3 6 3 M

審査請求 未請求 請求項の数17 O L (全 17 頁)

(21)出願番号 特願平5-315456
(22)出願日 平成5年(1993)12月15日

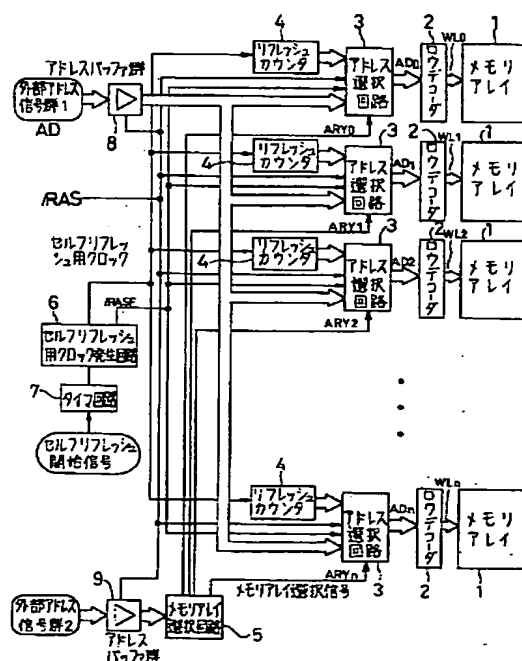
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 小谷 久和
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 赤松 寛範
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体メモリ

(57)【要約】

【目的】 外部からリフレッシュの制御の不要な大容量高速シリアルアクセス半導体メモリを提供する。

【構成】 チップ内に、分割した複数個のメモリアレイ1…を設け、所定のメモリアレイ1がメモリアレイ選択回路5で選択されたときは、外部アドレス信号群1のアドレスにより、選択されたメモリアレイ1内のワード線を選択を行う。これと同時に、選択されないメモリアレイ1…に対しては、チップ内に内蔵するセルフリフレッシュ用クロック発生回路6からセルフリフレッシュ用ワード線基本クロック及びリフレッシュ用ワード線基本クロック/RAS Fを出力して、選択されないメモリアレイ内のワード線を選択を行う。メモリアレイ1が選択される設定時間前でリフレッシュ停止信号を出力してリフレッシュ動作を強制的に停止し、メモリセルの不十分な電荷再蓄積を防止する。



【特許請求の範囲】

【請求項1】 外部クロックに同期して連続的にデータを入出力することが可能な半導体メモリであって、チップ内に複数個配置されたメモリアレイと、外部から入力されるアドレス群に応じて前記複数個のメモリアレイのうち少なくとも1個のメモリアレイを選択するメモリアレイ選択回路と、リフレッシュアドレス及びリフレッシュ用ワード線基本クロックを生成するリフレッシュ用信号生成回路と、前記各メモリアレイに対応して前記メモリアレイの個数と同数設けられたアドレス選択回路とを備え、前記各アドレス選択回路は、対応するメモリアレイが前記メモリアレイ選択回路により選択されたとき、外部から入力されるアドレス群及びワード線基本クロックにより前記選択されたメモリアレイ内のワード線を選択する一方、対応するメモリアレイが前記メモリアレイ選択回路により選択されないとき、前記リフレッシュ用信号生成手段により生成されたリフレッシュアドレス及びリフレッシュ用ワード線基本クロックにより前記選択されないメモリアレイ内のワード線を選択するように構成され、更に、各メモリアレイが前記メモリアレイ選択回路により選択されていない状態から選択された状態に切換わる時の設定時間前の時点予測する切換直前予測回路と、前記切換直前予測回路により予測された設定時間前の時点で前記リフレッシュ用信号生成回路によるリフレッシュ用ワード線基本クロックの生成を禁止するリフレッシュ禁止回路とを備えたことを特徴とする半導体メモリ。

【請求項2】 リフレッシュ用信号生成回路は、リフレッシュ周期を決定するタイマ回路と、セルフリフレッシュ用クロック及びリフレッシュ用ワード線基本クロックを前記タイマ回路のリフレッシュ周期で生成するクロック生成回路と、前記クロック生成回路で生成されたセルフリフレッシュ用クロックを入力してリフレッシュアドレスを生成するリフレッシュカウンタとから成ることを特徴とする請求項1記載の半導体メモリ。

【請求項3】 リフレッシュ用信号生成回路のタイマ回路及びクロック生成回路は1個設けられ、リフレッシュカウンタは各メモリアレイに対応して複数個のメモリアレイと同数設けられることを特徴とする請求項1記載の半導体メモリ。

【請求項4】 切換直前予測回路は、ワード用基本クロックをインクリメント用クロックとするカウンタと、前記カウンタのカウント数を検知するカウント数検知回路とから成り、リフレッシュ禁止回路は、前記カウント数検知回路により検知したカウント数が、メモリアレイが選択された状態に切換わる時に相当する設定カウント数よりも所定数小さいカウント数から前記設定カウント数までの間でリフレッシュ停止信号をリフレッシュ用信号生成回路に出

力してリフレッシュ用ワード線基本クロックの生成を禁止するリフレッシュ停止制御回路により構成されることを特徴とする請求項1又は請求項2記載の半導体メモリ。

【請求項5】 リフレッシュ停止制御回路は、リフレッシュ停止信号をリフレッシュ用信号生成回路のクロック生成回路に出力することを特徴とする請求項4記載の半導体メモリ。

【請求項6】 メモリアレイ選択回路により選択されたメモリアレイにおいて1つのワード線上のデータのアクセスが終了したことを検出するアクセス終了検出回路と、前記アクセス終了検出回路によりアクセスの終了が検出された時以降で、前記メモリアレイ選択回路によるメモリアレイの選択を停止させて、アドレス選択回路によりリフレッシュ用信号生成手段のリフレッシュアドレスに基づく前記メモリアレイのワード線の選択を行わせるノーマル動作停止制御回路と、

前記ノーマル動作停止制御回路によりメモリアレイの選択が停止されたとき、前記リフレッシュ用信号生成手段のリフレッシュアドレスのインクリメント周期を短く設定する周期設定回路とを備えたことを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5記載の半導体メモリ。

【請求項7】 アクセス終了検出回路は、コラムアドレスを取り込むためのコラム用基本クロックによりリセットされると共にリフレッシュ用信号生成手段のセルフリフレッシュ用クロックよりもサイクルタイムの短い外部クロックによりインクリメントされるクロックカウンタと、前記クロックカウンタのカウント数がワード線上のデータのアクセスの終了時点に相当する設定カウント数であることを検知するカウント数検知回路とから成り、周期設定回路は、ノーマル動作停止制御回路によりメモリアレイの選択が停止されたとき、クロック生成回路のセルフリフレッシュ用クロックに代えて、前記外部クロックの周波数に応じた周波数のクロックをインクリメント用クロックとしてリフレッシュカウンタに出力するクロック選択回路から成ることを特徴とする請求項6記載の半導体メモリ。

【請求項8】 クロックカウンタは、外部クロックの周波数が設定値以下のとき動作し、設定値を越えるとき動作を停止するよう制御されることを特徴とする請求項7記載の半導体メモリ。

【請求項9】 クロック選択回路は、外部クロック自体をインクリメント用クロックとしてリフレッシュカウンタに出力することを特徴とする請求項7記載の半導体メモリ。

【請求項10】 外部クロックを分周する分周器を備え、クロック選択回路は、前記分周器により分周された周波数のクロックをインクリメント用クロックとしてリ

フレッシュカウンタに出力することを特徴とする請求項7記載の半導体メモリ。

【請求項11】 リフレッシュ用信号生成回路により生成されたりフレッシュ用ワード線基本クロックを、前記リフレッシュ用信号生成回路により生成されるリフレッシュアドレスのインクリメント周期内で設定時間だけ遅延させた遅延リフレッシュ用ワード線基本クロックを生成する遅延回路を備え、

前記リフレッシュ用信号生成回路により生成されたりフレッシュ用ワード線基本クロック及び前記遅延回路により生成された遅延リフレッシュ用ワード線基本クロックは、メモリアレイ選択回路により選択されない状態にある複数個のメモリアレイに対応するアドレス選択回路に入力されて、

前記メモリアレイ選択回路により選択されない状態にある複数個のメモリアレイのリフレッシュのためのワード線の立上げ及び立下げ動作を前記複数個のメモリアレイ間で時間を異ならせて行うことを特徴とする請求項1、請求項4、請求項6又は請求項7記載の半導体メモリ。

【請求項12】 遅延回路は、メモリアレイ選択回路により選択されない状態にあるメモリアレイの個数と同数の、設定遅延時間が互いに異なる遅延リフレッシュ用ワード線基本クロックを生成し、

前記メモリアレイ選択回路により選択されない状態にある複数個のメモリアレイを1個ずつ順次時間を異ならせてリフレッシュすることを特徴とする請求項11記載の半導体メモリ。

【請求項13】 遅延回路は、セルフリフレッシュ用クロックを入力し、この入力毎に前記セルフリフレッシュ用クロックよりも短い周期のクロックを発生するリング発振器と、

メモリアレイ選択回路により選択されない状態にあるメモリアレイの個数と同数の段数のシフトレジスタ回路とを備え、

前記リング発振器の出力は、前記シフトレジスタ回路の各段の転送用クロックとして使用され、

前記シフトレジスタ回路の初段には、リフレッシュ用信号生成回路のリフレッシュ用ワード線基本クロックが入力されて、

前記シフトレジスタ回路の各段の出力を、設定遅延時間が互いに異なる複数の遅延リフレッシュ用ワード線基本クロックとすることを特徴とする請求項12記載の半導体メモリ。

【請求項14】 リング発振器の出力を遅延させる遅延素子を備え、

前記遅延素子の出力はシフトレジスタ回路の各段の他の転送用クロックとして使用され、

各遅延リフレッシュ用ワード線基本クロックは、前記遅延素子の出力によりセットされ、前記リング発振器の出力によりリセットされることを特徴とする請求項13記

載の半導体メモリ。

【請求項15】 メモリアレイ選択回路によるメモリアレイの選択の有無を検出する選択検出回路を備え、タイマ回路のタイマ時間は、前記選択検出回路により何れのメモリアレイも選択されない状態が検出されたときには所定時間に設定される一方、前記選択検出回路により何れかのメモリアレイが選択されたことが検出されたときには、前記所定時間よりも短い時間に設定されることを特徴とする請求項2、請求項4、請求項6、請求項7、請求項11、請求項12又は請求項13記載の半導体メモリ。

【請求項16】 選択検出回路は、メモリアレイ選択回路の出力であるメモリアレイ選択信号を入力とするOR回路により構成され、

タイマ回路は、第1のリフレッシュ周期を決定する第1のタイマ回路と、前記第1のリフレッシュ周期よりも短い第2のリフレッシュ周期を決定する第2のタイマ回路とから成り、

前記OR回路の出力を制御信号とし、前記出力信号がLレベルである何れのメモリアレイも選択されないときには前記第1のタイマ回路を選択し、前記出力信号がHレベルである何れかのメモリアレイが選択されたときには前記第2のタイマ回路を選択するリフレッシュ周期選択回路を備えたことを特徴とする請求項15記載の半導体メモリ。

【請求項17】 チップ内に複数個配置されたメモリアレイを備え、そのうち、選択したメモリアレイに対してノーマルリード/ライト動作を行い、これと同時に、選択されないメモリアレイに対してリフレッシュ動作を行うようにした半導体メモリにおいて、前記メモリアレイの選択の有無を検出する選択検出回路と、前記選択検出回路により何れのメモリアレイも選択されない状態が検出されたときにはリフレッシュ周期として所定時間を設定する一方、前記選択検出回路により何れかのメモリアレイが選択されたことが検出されたときにはリフレッシュ周期として前記所定時間よりも短い時間を設定するタイマ回路とを備えたことを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体メモリに関し、特にリフレッシュ回路を有するものの改良に関するものである。

【0002】

【従来の技術】半導体メモリの中で最も高集積化が可能なダイナミックRAM（以下、DRAMという）は、情報を記憶する単位であるメモリセルが、1個のトランジスタと1個のキャパシタとから構成され、情報は前記キャパシタに電荷を蓄積することによって記憶される。しかしながら、その構造上、電荷のリークがあるため、定期的に電荷を再蓄積するリフレッシュ動作が必要とな

る。

【0003】このリフレッシュ動作は、メモリセルのトランジスタのゲートであるワード線を選択し、1本のワード線につながる全キャパシタから同数のビット線に転送された微小信号を同数のセンスアンプで増幅して、全メモリセルのキャパシタに再充電することにより行われる。ワード線単位で1回の動作が終了し、定期的に全ワード線を選択し、センスアンプを活性化する。通常、リフレッシュ動作中はノーマルリードライト動作を中断して行われる。従って、このノーマル動作の中断によりメモリ自体へのアクセスが禁止状態となり、システム自体も待機状態となるため、システムの動作効率を低下させる欠点があった。更に、リフレッシュを行うための命令もシステムが行うため、システム上の付加回路が増加し、制御も複雑になるという課題があった。

【0004】ところで、メモリセルへのリフレッシュ動作が不可欠であるDRAMは、近年の開発動向として、大容量化と高性能化が同時に進行しつつある。前者の大容量化については、3年で4倍のペースで高集積化がなされ、最先端レベルでは、1チップ当たり256Mビットのものが開発されつつある。後者の高性能化としては、高速化や低電力化が進展しており、例えば高速化については、従来のように、完全にランダムなアドレス指定を想定した場合の高速化ではなく、先頭アドレスのみを指定して外部クロックに同期して連続的にデータ入出力をする形（以下シリアルアクセスと呼ぶ）での高速化が進展している。クロックの周波数は100MHz前後という高周波数が要望されつつあり、同時に製品レベルでも出現しつつある。データをランダムではなく、シリアルに高速アクセスするアプリケーションとしては、映像機器において非常に要望されている。

*【0005】このような映像機器に使用される映像用メモリとして、従来、フィールドメモリが製品化されているが、このフィールドメモリは現状最先端で4Mビットの容量で50~100MHzの周波数で動作する。この映像用メモリでは、全ワード線を順次選択する関係上、等価的にリフレッシュ動作をしていることになる。具体的に4MビットDRAMを8ビット構成で50MHzで動作させる場合には、そのリフレッシュ周期のスペックは16ミリ秒であるところ、4Mビット全て読み出すのに約10ミリ秒しか要さないの、リフレッシュ動作が不要であることが判る。

【0006】しかしながら、256Mビットの容量で100MHz動作をするチップが将来映像用等に要望されることが十分予測されるが、この場合に、例えば入出力が16ビット構成であって256Mビットの全てを読み出そうとすると、100MHz動作で、約168ミリ秒必要となる。前述の通りDRAMは定期的リフレッシュする必要があり、256MビットDRAMの場合はそのスペックは約128ミリ秒となることが予想されるので、シリアルアクセス動作を中断してリフレッシュを行う必要があり、システムの動作サイクル時間の高速化の阻害要因となることが十分予想される。

【0007】以上述べたことをDRAM各世代に対して整理して下表に示す。同表では、ハイビジョンを想定して、データ転送速度が1.2Gビット/秒であることから、動作周波数を80MHz、入出力を16ビット構成とし、このときのDRAMの容量、そのリフレッシュ期間、及び全ビットアクセスに要する時間を示す。

【0008】

【表1】

容 量	リフレッシュ期間	フルビットアクセスに要する時間
1M	8ms	0.82ms
4M	16ms	3.28ms
16M	32ms	13.1ms
64M	64ms	52.4ms
256M	128ms	209.7ms

上記表から判るように、1M~64Mの容量クラスのシリアルメモリにおいては、フルビットを順次アクセスすれば、等価的にリフレッシュを行うことになるが、256Mビットクラスの大容量メモリになると、ランダムアクセスメモリ同様、シリアルアクセスメモリにおいても、リフレッシュが必要となり、その結果、リフレッシュのためにシステムの動作効率が低下するという課題が発生する。

【0009】以上のような課題を解決する例として、従来、仮想SRAMがあった（例えば、参考文献：198

7 IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp20-21, Feb 1987, 又は日経エレクトロニクス1987年4月6日号, pp167-184)。この仮想SRAMは、内部でリフレッシュ信号を発生させ、この信号の発生時にはノーマルアクセスを待機させて、リフレッシュ動作を行わせる構成となっている。即ち、仮想SRAMでは、外部から見てリフレッシュ動作がなく、全て内部制御で自動的にリフレッシュする構成（以下、セルフリフレッシュという）であるが、結果的に外

部からのノーマルアクセスとセルフリフレッシュアクセスが競合した場合には、図14(a)のタイミングチャートに示すように、ノーマルアクセスを待たせ、リフレッシュを優先させることとして、先ずリフレッシュ動作のためにワード線を立ち上げてセルフリフレッシュ動作を行い、その後、ノーマルアクセスイネーブル信号/C_Eと外部アドレスとからワード線が選択されて、読み出しデータが入出力ポートI/Oに現れる構成となっている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のような仮想SRAMの構成では、リフレッシュアクセスを優先した後にノーマルアクセスを行う構成であるため、ワード線のアクセス時間が遅くなる(以下、これをワード線遅延という)問題点を有しており、その結果、上記従来例の図14(a)及び(b)からも判るように、リフレッシュアクセスがノーマルアクセスと競合する場合には、読み出しデータが現れるまでの時間は長くなり、仮想SRAMのサイクル時間は、ノーマルアクセスのサイクル時間とセルフリフレッシュのサイクル時間の和がサイクル時間の保証値となって、長くなる欠点が生じていた。

【0011】以下、具体的に、ワード線の遅延が如何なる悪影響を及ぼすかについて説明する。シリアルアクセスメモリにおいては、同一チップで高速の動作周波数と低速の動作周波数との双方で使用する場合が多々あるので、以下、例えば高速の100MHz動作と低速の10MHz動作とを交互に行なう場合について説明すると、DRAMのアクセス時間(ワード線のアクセスを含む)は60ns程度であるので、100MHz動作の場合には、メモリに対してアクセスを開始した後の6クロックでデータが出力されるが、仮想SRAMでは、ワード線の遅延量は一般的に30ns程度であるため、このワード線遅延の30ns程度の時間だけアクセス時間が遅れて、アクセスを開始した後の9クロックでデータが出力されることになる。一方、10MHz動作の場合には、前記100MHz動作の場合と同一のクロックタイミングにする必要がある関係上、ワード線遅延がなければ600ns(=100ns×6クロック)でデータ出力し、ワード線遅延があれば900ns(=100ns×9クロック)でデータ出力する必要が生じる。従って、ワード線遅延が大きい場合には、ワード線が遅延しない場合に比して、データを遅延させるための回路をチップ内部に余分に設ける必要が生じると共に、チップ外部においても、データの取り込みタイミングを遅延させる回路が余分に必要になるという課題があった。特に、以上の説明では100MHz動作の場合に3クロック遅延する例を上げたが、500MHz動作では15クロックの遅延となるため、動作周波数が高速になるほど前記の課題は顕著になる。

【0012】本発明は上記問題点に鑑みてなされたものであり、その目的は、ワード線遅延を発生させないで外部からリフレッシュ制御が不要な大容量高速シリアルアクセス半導体メモリを提供することにある。

【0013】

【課題を解決するための手段】以上の目的を達成するため、本発明では、ノーマルリード/ライト動作時に、これと併行して同時に他のメモリセルに対して非同期にリフレッシュ動作を行う構成とする。

10 【0014】すなわち、請求項1記載の発明の半導体メモリの具体的な構成は、外部クロックに同期して連続的にデータを入出力することが可能な半導体メモリであって、チップ内に複数個配置されたメモリアレイと、外部から入力されるアドレス群に応じて前記複数個のメモリアレイのうち少くとも1個のメモリアレイを選択するメモリアレイ選択回路と、リフレッシュアドレス及びリフレッシュ用ワード線基本クロックを生成するリフレッシュ用信号生成回路と、前記各メモリアレイに対応して前記メモリアレイの個数と同数設けられたアドレス選択回路とを設ける。そして、前記各アドレス選択回路を、対応するメモリアレイが前記メモリアレイ選択回路により選択されたとき、外部から入力されるアドレス群及びワード線基本クロックにより前記選択されたメモリアレイ内のワード線を選択する一方、対応するメモリアレイが前記メモリアレイ選択回路により選択されないとき、前記リフレッシュ用信号生成手段により生成されたりフレッシュアドレス及びリフレッシュ用ワード線基本クロックにより前記選択されないメモリアレイ内のワード線を選択するように構成する。更に、前記各メモリアレイが前記メモリアレイ選択回路により選択されていない状態から選択された状態に切換わる時の設定時間前の時点

20 30 40 50

を予測する切換直前予測回路と、前記切換直前予測回路により予測された設定時間前の時点で前記リフレッシュ用信号生成回路によるリフレッシュ用ワード線基本クロックの生成を禁止するリフレッシュ禁止回路とを設ける構成である。

【0015】また、請求項6記載の発明の半導体メモリは、前記請求項1記載の発明の構成に加えて、メモリアレイ選択回路により選択されたメモリアレイにおいて1つのワード線上のデータのアクセスが終了したことを検出するアクセス終了検出回路と、前記アクセス終了検出回路によりアクセスの終了が検出された時以降で、前記メモリアレイ選択回路によるメモリアレイの選択を停止させて、アドレス選択回路によりリフレッシュ用信号生成手段のリフレッシュアドレスに基づく前記メモリアレイのワード線の選択を行わせるノーマル動作停止制御回路と、前記ノーマル動作停止制御回路によりメモリアレイの選択が停止されたとき、前記リフレッシュ用信号生成手段のリフレッシュアドレスのインクリメント周期を短く設定する周期設定回路とを設ける構成である。

【0016】更に、請求項11記載の発明の半導体メモリは、前記請求項1又は請求項6記載の発明の構成に加えて、リフレッシュ用信号生成回路により生成されたりフレッシュ用ワード線基本クロックを、前記リフレッシュ用信号生成回路により生成されるリフレッシュアドレスのインクリメント周期内で設定時間だけ遅延させた遅延リフレッシュ用ワード線基本クロックを生成する遅延回路を設け、前記リフレッシュ用信号生成回路により生成されたりフレッシュ用ワード線基本クロック及び前記遅延回路により生成された遅延リフレッシュ用ワード線基本クロックは、メモリアレイ選択回路により選択されない状態にある複数のメモリアレイに対応するアドレス選択回路に入力して、前記メモリアレイ選択回路により選択されない状態にある複数のメモリアレイのリフレッシュのためのワード線の立上げ及び立下げ動作を前記複数のメモリアレイ間で時間を異ならせて行う構成である。

【0017】加えて、請求項15記載の発明の半導体メモリは、前記請求項1、請求項6又は請求項11記載の発明の構成に加えて、メモリアレイ選択回路によるメモリアレイの選択の有無を検出する選択検出回路を設けると共に、タイマ回路のタイマ時間を、前記選択検出回路により何れのメモリアレイも選択されない状態が検出されたときには所定時間に設定される一方、前記選択検出回路により何れかのメモリアレイが選択されたことが検出されたときには、前記所定時間よりも短い時間に設定する構成である。

【0018】

【作用】以上の構成により、請求項1記載の発明では、メモリアレイ選択回路により選択されたメモリアレイでは、対応するアドレス選択回路が外部アドレス群及びワード線基本クロックに従ってワード線を選択して、データのノーマルリード/ライト動作が行われる。また、これと同時に、メモリアレイ選択回路により選択されないメモリアレイでは、対応するアドレス選択回路がリフレッシュ用信号生成回路のリフレッシュアドレス及びリフレッシュ用ワード線基本クロックに従ってワード線を選択して、リフレッシュ動作が行われる。

【0019】また、1個のメモリアレイについて見れば、リフレッシュ動作の途中でメモリアレイ選択回路により選択されて、ノーマルリード/ライト動作に切り替わる場合があるが、この場合には、その切換時の設定時間前が切換直前予測回路により予測されて、その切換時の設定時間前から切換時までの期間では、リフレッシュ用信号生成回路によるリフレッシュアドレス及びリフレッシュ用ワード線基本クロックの生成がリフレッシュ禁止回路により禁止されて、リフレッシュ動作が禁止されるので、途中段階でリフレッシュ動作が停止すること、即ちビット線の増幅が未だ十分でなくてメモリセルへの再書き込みが不十分な段階でノーマルリード/ライト動作

に切り替わることが防止できて、メモリセルのデータが破壊されることが確実に防止される。

【0020】ここに、選択されたメモリアレイでノーマルリード/ライト動作を行うと同時に、他の選択されないメモリアレイでリフレッシュ動作を行うので、1個のメモリアレイを見ればノーマル動作とリフレッシュ動作との競合がなく、従って従来のようなワード線の遅延は生じない。

【0021】しかも、外部アドレスとは無関係に内部でリフレッシュアドレスを独立して発生させてリフレッシュ動作を行う非同期式であるので、外部アドレスに同期してリフレッシュ動作を行う同期式に比べて、外部アドレスの入力が停止した待機時であっても自動的にリフレッシュ動作を行うことができると共に、種々のモードに応じて動作周波数が変更される場合に、動作周波数が低く変更されたときでもリフレッシュ周期が必要周期よりも長くなってしまふ不都合が回避できる。

【0022】また、請求項6記載の発明の半導体メモリでは、メモリアレイ選択回路で選択されたメモリアレイであっても、動作周波数が低い場合には、ノーマルリード/ライト動作の途中でリフレッシュ動作を行う必要が生じる。この場合には、1本のワード線上のデータのアクセスが終了し、この終了がアクセス終了検出回路により検出されると、ノーマル動作停止制御回路がノーマルリード/ライト動作を停止させ、この動作に代えて、インクリメント周期の短いリフレッシュアドレスに基づくワード線の選択を行わせるので、リフレッシュ動作が行われる。

【0023】更に、請求項11記載の発明の半導体メモリでは、選択されない複数のメモリアレイのリフレッシュ動作に際して、その選択されない各メモリアレイのアドレス選択回路には、互いに遅延時間の異なる遅延リフレッシュ用ワード線基本クロックが入力されて、各選択されないメモリアレイ相互で時間を異にしてリフレッシュ動作が行われる。従って、選択されない複数のメモリアレイに対するリフレッシュ動作が同時に行われることに起因するメモリセルの活性化時のピーク電流、リセット時のピーク電流を低く制限することが可能である。その結果、電源電圧の変動が小さく制限されて、同時期で行われている選択中のメモリアレイでのノーマルリード/ライト動作の誤動作が有効に防止される。

【0024】加えて、請求項15記載の発明の半導体メモリでは、メモリアレイ選択回路によるメモリアレイの選択の有無が選択検出回路により検出されていて、何れのメモリアレイも選択されていない状態では、リフレッシュ周期として、比較的長い時間が設定され、何れかのメモリアレイが選択されている場合には、比較的短い時間が設定される。従って、何れかのメモリアレイが選択されたノーマルリード/ライト動作時には、その動作に伴い基板電位や半導体温度が変動して、メモリセルのボ

ーズタイム特性が劣化し易い傾向となり、より早い周期でリフレッシュ動作を行う必要が生じるが、この場合には比較的短い時間のリフレッシュ周期によってリフレッシュ動作を行うことができる。一方、何れのメモリアレイでもノーマルリード/ライト動作が行われていない待機状態では、通常のポーズタイム特性が維持されていて、比較的長いリフレッシュ周期でもってリフレッシュ動作が行われて、周期の短いリフレッシュ動作によるデータ保持電流の不必要な増加が防止される。

【0025】

【実施例】以下本発明の実施例について図面を参照しながら説明する。

【0026】（第1の実施例）図1は本発明の第1の実施例における基本構成のブロック図を示す。同図において、1…は1個のメモリアレイを分割してなる複数のメモリアレイであって、各々、複数のメモリアルセルから構成される。2…は各々対応するメモリアレイ1…内のワード線を選択するためのロウデコーダ、3…は各メモリアレイ1…に対応して設けられたアドレス選択回路である。

【0027】また、4…はメモリアレイ1…と同数のリフレッシュカウンタ、5は前記複数のメモリアレイ1…のうち所望の1個以上のメモリアレイ1を選択するメモリアレイ選択回路、6はリフレッシュカウンタをインクリメントするためのセルフリフレッシュ用クロックを生成するセルフリフレッシュ用クロック発生回路（請求項1記載のクロック生成回路）、7はセルフリフレッシュのサイクルを決定するためのタイマ回路、8は外部から入力される第1のアドレス群のための第1のアドレスバッファ群、9は外部から入力される第2のアドレス群のための第2のアドレスバッファ群である。

【0028】メモリアレイ1…の1個以上の選択は、外部から第2のアドレス群をアドレスバッファ群9を介してチップ内に入力してメモリアレイ選択回路5に転送し、メモリアレイ選択回路5内で通常のデコード動作によりメモリアレイ1…と同数個のメモリアレイ選択信号を発生して、この各メモリアレイ選択信号を対応するメモリアレイ1…に転送してなされる。

【0029】各メモリアレイ1…には、ワード線を選択するための前記ロウデコーダ2、アドレス選択回路3及びリフレッシュカウンタ4が対応して配置される。

【0030】前記アドレス選択回路3…は、各々、メモリアレイ選択信号が活性化されているとき、アドレスバッファ群8の出力及びワード線基本クロック/RASの組の出力を選択し、メモリアレイ選択信号が活性化されていないとき、リフレッシュカウンタ4及びリフレッシュ用ワード線クロック/RASFの組の出力を選択する。

【0031】前記ワード線基本クロック/RASは外部から入力され、リフレッシュ用ワード線基本クロック/

RASFはセルフリフレッシュ用クロック発生回路6から生成される。/RAS、/RASFは、共にワード線を選択するためのアドレスの取り込み、リセット、ビット線のイコライズ、及びプリチャージを行うためのクロックであって、リフレッシュ用ワード線基本クロック/RASFの周期は、ワード線基本クロック/RASの周期よりも長い。図1に示す通り、外部から入力される第1、第2のアドレス群は/RASにより取り込まれる。

【0032】タイマ回路7は、セルフリフレッシュ開始信号により起動される。このタイマ回路7は、リフレッシュ動作のサイクルタイムを決定し、その信号によりセルフリフレッシュ用クロック発生回路6でセルフリフレッシュ用ワード線基本クロックを発生させ、このセルフリフレッシュ用ワード線基本クロックは各リフレッシュカウンタ4…に転送される。各リフレッシュカウンタ4はリフレッシュアドレスを生成し、リフレッシュアドレスはセルフリフレッシュ用ワード線基本クロックに同期してインクリメントされる。

【0033】尚、セルフリフレッシュ開始信号の発生手段は、予めボンディングオプション等で活性化させておき、常にリフレッシュ開始状態とする構成が可能である。

【0034】前記タイマ回路7と、セルフリフレッシュ用クロック発生回路6と、複数のリフレッシュカウンタ4…とにより、リフレッシュアドレス及びリフレッシュ用ワード線基本クロックを生成するリフレッシュ用信号生成回路を構成する。

【0035】本実施例では、ノーマルリード/ライト動作は、メモリアレイ選択信号が活性化されたメモリアレイ1に対して行われる。外部から入力されたアドレスは、アドレスバッファ群8、アドレス選択回路3及びロウデコーダ2を介して選択されたメモリアレイ1内のワード線を選択する。一方、ノーマルリード/ライト動作をしていない待機状態のメモリアレイ1…では、チップ内部で発生したリフレッシュカウンタ4のアドレスがアドレス選択回路3及びロウデコーダ2を介して非選択のメモリアレイ1…内のワード線を選択し、リフレッシュ動作をする。

【0036】以上の動作を図2(a)のタイミングチャートに基いて説明する。

【0037】図2(a)において、/RASはワード線用基本クロック、ADは外部から入力するアドレスであって、図1の第1のアドレス群に相当する。/RASFはリフレッシュ用ワード線基本クロック、ARY0、ARY1、ARY2、ARYnはメモリアレイ選択信号、AD0、AD1、ADnはメモリアレイ内部のロウデコーダ2に入力されるアドレスであって、各々メモリアレイ選択信号ARY0、ARY1、ARY2、ARYnに対応している。同様に、WL1、WL2、WLnはメモリアレイ選択信号ARY0、ARY1、ARY2、AR

Ynに対応したメモリアレイ内のワード線である。

【0038】図2(a)から判るように、メモリアレイ選択信号が活性化されているときは、外部の制御に従ってワード線が選択され、メモリアレイ選択信号が非活性のときは、セルフリフレッシュ制御に従ってワード線が選択される。例えば、同図の期間2に注目すれば、メモリアレイ選択信号ARY1が活性化されており、この活性化されたメモリアレイ選択信号ARY1に対応したメモリアレイ1のワード線WL1は外部クロック/RASに同期して選択され、それ以外のメモリアレイ選択信号ARY0, ARYnに対応した選択されないメモリアレイ1…のワード線WL0, WL2はセルフリフレッシュ用ワード線基本クロック/RASFに従って選択されている。

【0039】図2(b)は、前記ワード線基本クロック/RASとアドレスとの関係を示す、同図において、ADnは外部から入力されるアドレス、AXnはメモリアレイ内のワード線を選択させるための内部アドレス、ARYnはメモリアレイ選択信号である。内部アドレスAXnの取り込みタイミングとそのリセットのタイミングは通常のDRAM同様に/RASで行われる。一方、メモリアレイ選択信号ARYnに関しては、/RASの立ち下がりまで保持する。メモリアレイ選択信号ARYnのリセットは、専用のリセット信号ARRSTにより行う。この専用のリセット信号ARRSTは外部入力でもよいし、内部で発生させてもよい。

【0040】本実施例では、前述のように選択されたメモリアレイ1のワード線WL1を外部クロック/RASに同期して選択してノーマルリード/ライト動作を行い、選択されないメモリアレイ1…のワード線WL0, WL2をセルフリフレッシュ用ワード線基本クロック/RASFに従って選択してセルフリフレッシュ動作を行っている。従って、各メモリアレイ1…では、ノーマルアクセスとリフレッシュアクセスとの競合がないので、ワード線の遅延は生じない。従って、外部からのリフレッシュの制御が不要でかつ、高速シリアルアクセスが可能である。

【0041】次に、請求項1記載の発明の特徴点を説明する。

【0042】先ず、図3に示すようにメモリアレイ選択信号ARYnが非選択状態から選択状態に移移するタイミングについて説明する。同図において、/RASnはメモリアレイ選択信号ARYnに対応したメモリアレイの中のワード線基本クロック、ADn, WLnA~WLnF, BLnA~BLnFは各々メモリアレイ選択信号ARYnに対応したメモリアレイの中のアドレス信号、ワード線、ビット線である。前述したように、メモリアレイ選択信号ARYnがLレベルのときは、リフレッシュ動作であり、Hレベルのときはノーマル動作であり、

それぞれ非同期で動作している。

【0043】図3のタイミング1はリフレッシュ動作からノーマル動作に切り替わる時点であって、タイミング1の直前でワード線基本クロック/RASnが立ち下がり、アドレスADnがリフレッシュアドレスCnを指定すると、ワード線WLnCが立ち上がり、それに伴いビット線BLnCが増幅される。しかし、図3に示すように、その増幅動作が完了する前に、メモリアレイ選択信号ARYnがLレベルからHレベルに切替ってノーマルリード/ライト動作に切り替わり、その結果としてワード線WLnDが選択され、その後は、ワード線WLnE, WLnFが順次選択されることになる。つまり、図3の例では、楕円で囲んだ部分のように、リフレッシュ動作でのビット線BLnCの増幅が不十分なため、メモリセルへの再書き込みが不十分になり、ワード線WLnCにつながるメモリセルのリフレッシュ動作が不可能となり、またメモリセルのデータを破壊する可能性も考えられる。

【0044】このような問題点を解決するために、本実施例の特徴点は図4に示すように構成される。

【0045】図4において、41は外部から入力するアドレスを取り込むための基本クロックであるRAS信号の数をカウントするRASカウンタ(請求項4記載のカウンタ)であり、シリアル動作起動信号により起動される。42はRASカウンタ41の結果を検知するカウンタ数検知回路であって、予め、検知するカウンタ数が設定され、検知信号1、検知信号2を出力する。前記検知信号1はカウンタ数検知回路がカウンタ数n-3をカウントしたときに出力され、検知信号2はカウンタ数検知回路がカウンタ数nをカウントしたときに出力される。前記RASカウンタ41及びカウンタ数検知回路42により、各メモリアレイ1…が前記メモリアレイ選択回路5により選択されていない状態から選択された状態に切替わる時の設定時間前の時点予測する切換直前予測回路を構成する。

【0046】また、43は前記検知信号1、検知信号2をもとにリフレッシュ停止信号を発生するリフレッシュ停止制御回路(請求項1記載のリフレッシュ禁止回路)である。このリフレッシュ停止信号は、前記検知信号1の立ち下りでHレベルとなり、検知信号2の立ち下りでLレベルになり、図1のセルフリフレッシュ用クロック発生回路6に入力される。

【0047】次に、本発明の特徴点の動作を図5のタイミングチャートをもとに説明する。シリアル動作起動信号とともにRASカウンタ41が動作を開始し、RASカウンタ41は1からnまでカウントする。RASカウンタ41がn-3をカウントしたとき検知信号1がHレベルになり、RASカウンタ41がnをカウントしたとき検知信号2がHレベルになる。

【0048】ここで、RAS信号のカウントにおけるカ

ウント数 n は、1個以上のメモリアレイ1…が選択されたときにそのメモリアレイ1…に対して入力されるRAS信号の数に対応する。通常、メモリをシリアル動作させる場合は、ワード線は順次アクセスされるので、メモリアレイ1…に対して入力されるRAS信号の数、即ち選択されるワード線の数は一一定である。

【0049】したがって、図5の例では、RASカウンタ41が n になったとき、メモリアレイ選択信号が切り替わることになる。そのメモリアレイ選択信号が切り替わる前において、検知信号1の立ち下がりではリフレッシュ停止信号がHレベルになり、検知信号2の立ち下がりではLレベルになる。このリフレッシュ停止信号は、図1のセルフリフレッシュ用クロック発生回路6に入力されて、この発生回路6の動作を停止させて、セルフリフレッシュ動作を停止させる。即ち、メモリアレイ選択信号の切り替わり時直前の設定時間のあいだはリフレッシュ動作は停止することになる。

【0050】前記の動作を図6のタイミングチャートで更に説明する。図6は図3に対して、リフレッシュ停止信号RFTPを追加したタイミングチャートである。前述のとおり、セルフリフレッシュ動作はリフレッシュ停止信号により停止するので、リフレッシュ動作によるワード線 $WLnB$ 、 $WLnC$ は、図3のようには選択されない。従って、図6に点線で示すように、ビット線 $BLnC$ は増幅動作されないで、不十分なリフレッシュ動作を防止できる。

【0051】しかも、前記リフレッシュ動作の強制的な停止によってリフレッシュされなかったワード線に対しては、ノーマルリード/ライト動作に切替わったメモリアレイ1…では、そのノーマルリード/ライト動作による全ワード線のシリアルアクセスによって等価的にリフレッシュ動作が行われ、一方、依然として選択されないメモリアレイ1…に対しては、図1の対応するリフレッシュカウンタ4がリフレッシュした最後のアドレスをラッチしているので、その後に行われるリフレッシュ動作によりリフレッシュされる。

【0052】(第2の実施例) 前記第1の実施例では、所定のメモリアレイ1…が選択されたときはノーマルリード/ライト動作を行い、選択されないときはリフレッシュ動作を行った。ここで、再度、256Mビットで16ビット構成のチップをシリアル動作させる場合を考えてみる。メモリアレイは32Mビットのものが8つあると仮定する。

【0053】所定のメモリアレイが選択された場合、32Mビットに対して16ビット構成でリード/ライトする。1つの32Mビットメモリアレイに対して、リフレッシュ周期=128ミリ秒を満足させるための最低動作周波数 f_{MIN} は、

$$f_{MIN} = (32\text{Mビット} / 16\text{ビット}) / 128\text{ミリ秒}$$

$$= 16.384\text{MHz}$$

となる。即ち、動作周波数が16.384MHz以下に低下すると、前記第1の実施例のように、選択されないメモリアレイ1…のみをリフレッシュするだけでは不十分であって、選択されたメモリアレイ1…に対してもノーマルリード/ライト動作の途中でリフレッシュ動作を割込ませる必要がある。

【0054】映像データを圧縮した場合を考えると、例えば国際規格であるMPEG2においてはデータ転送速度が5~10Mビット/秒であるので、動作周波数は、1ビット構成の場合には、明らかに5~10MHzとなり、16ビット構成では312.5KHz~625KHzとなる。即ち、MPEG2で圧縮されたデータを上記の例の256Mビットメモリに適用すれば、前記第1の実施例のリフレッシュ動作だけでは不十分であり、選択されたメモリアレイ1…のリフレッシュ動作が必要である。

【0055】本実施例は、選択されたメモリアレイ1…のリフレッシュ動作を、ノーマルリード/ライト動作の途中でこれに割込ませて行うことができる構成を採用したものであり、動作周波数が低い場合には、1ワード線のデータのノーマルリード/ライト動作の周期は長くて、その1周期内で1ワード線上のデータのラッチは早期に終了するので、その1周期内の余り時間を利用して、リフレッシュ動作を行う構成とする。

【0056】以下、本第2の実施例を図7を参照しつつ説明する。

【0057】同図において、71は外部から連続してデータをリード/ライトするための同期信号、即ちデータクロックの数をカウントするデータクロックカウンタ(請求項7記載のクロックカウンタ)であり、一本のワード線からデータを選択するためのアドレスを取り込むための基本クロック、即ちCAS信号により起動される。72は前記データクロックカウンタ71の結果を検知するカウンタ数検知回路であって、予め、検知するカウント数(即ち、選択されたメモリアレイ1での1つのワード線上のデータのアクセスが終了する時間に相当する値)が設定され、カウント数がこの設定値になったときに検知信号を出力する。前記データクロックカウンタ71及びカウンタ数検知回路72により、選択されたメモリアレイ1…において1つのワード線上のデータのアクセスが終了したことを検出するアクセス終了検出回路を構成する。

【0058】また、73は前記検知信号とCAS信号をもとにノーマル動作停止信号を発生するノーマル動作停止制御回路であって、前記カウンタ数検知回路72の検知信号によりノーマル動作停止信号を発生し、このノーマル動作停止信号の発生をCAS信号の立ち下りで停止する。このノーマル動作停止信号は、図1に示すメモリアレイ選択回路5、及びクロック選択回路75に入力さ

れる。前記クロック選択回路 75 は、ノーマル動作停止信号をもとに、ノーマル動作停止信号が活性化されたときにデータクロックを選択し、ノーマル動作停止信号が非活性化されたときにセルフリフレッシュ用ワード線基本クロックを選択する回路であって、その出力は図 1 に示すリフレッシュカウンタ 4…に転送される。前記クロック選択回路 75 により、前記ノーマル動作停止制御回路 73 でメモリアレイ 1…の選択が停止されたとき、リフレッシュ用信号生成手段のリフレッシュアドレスのインクリメント周期を短く設定する周期設定回路を構成する。

【0059】前記データクロックカウンタ 71 は、データクロックの周波数検知信号により動作を行うか否かが決定される。即ち、データクロックの動作周波数が遅い場合はデータクロックカウンタ 71 は活性化され、一方、データクロックの動作周波数が速いときは非活性化される。従って、動作周波数が速いときは前記第 1 の実施例の通りの動作が行われる。周波数検知信号の設定の仕方については、ビット構成の選択に使用されるボンディングオプション、冗長アドレスのプログラミングに使用されるヒューズプログラム方式、又は動作周波数が変更されるときにチップ外部から周波数選択信号を入力する等の構成が採用可能である。

【0060】次に、本実施例を図 8 のタイミングチャートをもとに動作を説明する。図 8 は 1 個のメモリアレイ 1 が選択されて、ノーマルリード/ライト動作が行われている状態を示す。シリアル動作上、CAS 信号は数クロック毎に入力される。即ち、1 個のコラムアドレスを入力して、数ビット連続してデータクロックに同期してリード/ライト動作を行う。

【0061】CAS 信号によりデータクロックカウンタ 71 に起動がかかってカウント動作が開始され、図 8 では 1 から 16 までカウントしている。カウント数が設定値 (例えば 11) になるまでの段階では、ノーマル動作用のワード線 1 に対して、コラムアドレス CA1 に対応するデータのアクセスが行われる。

【0062】データクロックカウンタ 71 のカウント数が 11 になったタイミング 1 の時点で、選択されたメモリアレイ 1 での 1 つのワード線上のデータのアクセスが終了し、この時点でカウンタ数検知回路 72 の検知信号が H レベルに移移して、ノーマル動作停止信号が H レベルに移移する。このタイミング 1 以降でクロック選択回路 75 は前述のようにノーマル動作停止信号が活性化されているのでデータクロックを選択し、リフレッシュ用ワード線基本クロックはデータクロックを反映した波形になる。以上の結果、ノーマル動作用のワード線 1 は H レベルから L レベルに移移し、これ代わってリフレッシュ用にワード線 2 からワード線 7 までがリフレッシュ用ワード線基本クロックに同期して順次選択されて、リフレッシュ動作が行われる。

【0063】次に、図示のタイミング 2 で次の CAS 信号が入力され、その結果、データクロックカウンタがリセットされると共に、ノーマル動作停止信号が H レベルから L レベルに移移する。即ち、ノーマルリード/ライト動作に戻り、ワード線 1 が再度選択されて、コラムアドレス CA2 に対するデータのアクセスが再開されることになる。

【0064】以上のように、本実施例によれば、前記第 1 の実施例のように選択されないメモリアレイ 1…のみをリフレッシュするだけでなく、選択されたメモリアレイ 1…に対しても、そのノーマル動作の途中でリフレッシュ動作が可能となる。よって、データクロックの動作周波数が遅くなっても、リフレッシュ制御を外部から行うことが不要となる。

【0065】(第 2 の実施例の変形例) 前記第 2 の実施例ではノーマル動作時のデータクロックと同じサイクルタイムでリフレッシュ動作がなされる。従って、動作周波数が例えば前述の 256 Mビットの例で 12 MHz とすると、サイクルタイムは約 83 ns となって、ワード線の立ち上げ及び立ち下げの動作を行うためには、かなり速いタイミングになり、リフレッシュ動作が困難になる。この問題点を解決するため、前記第 2 の実施例の変形例を図 9 をもとに説明する。基本構成は第 2 の実施例と同様であり、異なる点は分周器 97 を設けた点である。分周器 97 の入力波形であるデータクロックを分周するか否かは周波数検知信号で決定する。前記第 2 の実施例では、データクロックをそのままクロック選択回路 75 に入力したが、本変形例では、分周器 97 を介してクロック選択回路 95 に入力する。この構成により、図 10 のタイミングチャートに示す通り、リフレッシュ用ワード線基本クロックはデータクロックの 2 倍のサイクルタイムで動作する。即ち、リフレッシュ動作の周波数は約 83 ns から約 166 ns になり、十分動作マージンを得ることが可能になる。

【0066】(第 3 の実施例) 以上の説明では、選択されないメモリアレイ 1…はリフレッシュ動作を行うが、図 1 のセルフリフレッシュ用クロック発生回路 6 のセルフリフレッシュ用ワード線基本クロックは全てのメモリアレイ 1…に対し共通であるため、256 Mチップについては 7 つの 32 Mビットのメモリアレイが同時にリフレッシュ動作を行うことになる。ここで、7 つのメモリアレイ 1…に対して同時にリフレッシュ動作を行わせると、ワード線の立ち上げ、センスアンプ増幅のタイミング及びリセットのタイミングで非常に大きなピーク電流が流れることが予想されるが、このピーク電流により電源ラインの電圧レベル変動が生じる欠点がある。

【0067】ここで、前記リフレッシュ時の電源電圧レベルの変動を抑えるための技術の従来例 (参考文献: 1993 IEEE International Solid-State Circuits Confer

ence Digest of Technical Papers, pp50-51, Feb 1993) について、以下、説明する。図16はブロック図、図17はタイミングチャートである。

【0068】図16において、161はメモリアレイであって、8つに分割されている。SWLはメモリアレイ161中のワード線である。内部クロックICLKによりシフトレジスタSRが動作し、このシフトレジスタSRに従って8つのメモリアレイ内のワード線SWLが順次選択され、リフレッシュされる。図17のタイミングチャートのように、ワード線SWL1~SWL8は順次選択されて立ち上がるため、センス活性時のピーク電流は分散されて、電源電流波形ICCのように大きなピーク電流が伴わない。しかし、内部クロックICLKの立ち上がりでワード線を立ち上げ、内部クロックICLKの立ち下がりでセンスアンプを活性化させるタイミング構成であるため、ワード線関連のリセットは同時に行われて、電源電流波形ICCに大きなピーク電流が流れることが予想される。

【0069】つまり、前記従来例では、通常のDRAMにおける1本のワード線を8分割する構成をとっている関係上、内部クロックICLKは7nsという短いパルスにしか設定できず、リセットのタイミングを時分割できないのである。その理由は、内部クロックICLKの周期を大きくしてリセットタイミングを時分割しようすると、8分割されたワード線を全て活性化させるためのサイクル時間（通常のDRAMの1本のワード線を活性化するためのサイクル時間）が増大し、結果的に通常のDRAMよりもリフレッシュ時間が増大し、チップの使用効率が低下してしまうからである。

【0070】また、前記従来例では、ワード線のリセットタイミングにおいて電源変動に弱いセンスアンプ活性化の動作を伴わないので、図17に示すリセット時点のピーク電流については何ら問題はないが、本発明ではリフレッシュ動作と同時にノーマルリード/ライト動作が非同期で行われている関係上、リセット時の電源ラインの電圧レベル変動によってノーマルリード/ライト動作の誤動作を引き起こすことが予想される。

【0071】本実施例は、前記のような問題点を解決するための構成を採用する。図11は第3の実施例を示す。同図において、セルフリフレッシュ用ワード線基本クロックRFSTは起動信号RINGENを発生するセルフリフレッシュ制御回路111に入力される。112はリング発振器であって、前記起動信号RINGENにより起動されて、複数のレジスタ113…（請求項13記載のシフトレジスタ回路）用のクロックRFCKを発生する。114は遅延素子であって、リング発振器112のクロックRFCKを遅延させて、遅延クロックRFCKDを発生させ、この遅延クロックRFCKDを各シフトレジスタ113…に転送する。

【0072】初段のシフトレジスタ113…には、リフレッシュ用ワード系クロックRFRASが入力される。シフトレジスタ113…の各段の出力は、各メモリアレイ1…に対してリフレッシュ用ワード線基本クロックとして転送される。最終段のシフトレジスタ113の出力は前記セルフリフレッシュ制御回路111に入力され、リング発振器112の動作を停止させる。

【0073】前記リング発振器112及び複数のレジスタ113…により、リフレッシュ用信号生成回路により生成されたリフレッシュ用ワード線基本クロックを、前記リフレッシュ用信号生成回路により生成されるリフレッシュアドレスのインクリメント周期内で設定時間だけ遅延させた遅延リフレッシュ用ワード線基本クロックを生成する遅延回路を構成する。

【0074】次に、本実施例の動作を図12のタイミングチャートにより説明する。

【0075】セルフリフレッシュ用ワード線基本クロックRFSTによりリング発振器開始信号RINGENがHレベルに遷移して、リング発振器112が動作を開始し、タイミング1でシフトレジスタ用クロックRFCK、遅延クロックRFCKDがシフトレジスタ113…に出力される。同時に初段のシフトレジスタ113はリフレッシュ用ワード線基本クロックRFRASを取り込む。図12では、初段のシフトレジスタ113は遅延クロックRFCKDの立ち上がりエッジで取り込んだデータを転送している。

【0076】続いて、図示のタイミング2で、メモリアレイ1用リフレッシュクロックRFRAS1が初段のシフトレジスタ113…からメモリアレイ1へ転送され、メモリアレイ1内のワード線WL1、及びビット線BL1、/BL1が活性化され、クロックRFCKの1サイクル内でワード線関連の活性化からリセットまでのリフレッシュ動作が行われる。このとき図12から判るように、他のメモリアレイ1…は待機状態となっている。

【0077】尚、リフレッシュクロックRFRAS1のリセットタイミングはクロックRFCKの立ち上がり同期させる。この構成は、メモリアレイ1におけるワード線WL1のリセットタイミングと、メモリアレイ2におけるワード線WL2の立ち上がりタイミングをずらす目的で採用される。

【0078】同様に、図示のタイミング3で、メモリアレイ2用リフレッシュクロックRFRAS2が2段目のシフトレジスタ113からメモリアレイ2へ転送されて、メモリアレイ2内のワード線WL2、ビット線BL2、/BL2が活性化され、リフレッシュ動作が行われる。最後にタイミング4で、メモリアレイn内のリフレッシュ動作が行われ、全メモリアレイのリフレッシュ動作が完了し、同時にリング発振器112の起動信号RINGENがLレベルに遷移し、レジスタ用クロックRFCKがリセットされる。

【0079】このように、本実施例によれば、複数の選択されないメモリアレイ1…のリフレッシュ動作を時間を異にして行い、且つレジスタ用クロックの1サイクル内で各メモリアレイ1…のワード線関連の活性化からリセット動作まで行うので、リフレッシュ動作におけるメモリセルの活性化時のピーク電流、及びリセット時のピーク電流を分散して、その最大値を低く制限することが可能であり、電源ラインの電圧レベルの変動を小さく抑えることができる。従って、前記複数のメモリアレイ1…のリフレッシュ動作と同時期で行われる、選択されたメモリアレイ1…でのノーマルリード/ライト動作を、電源電圧変動の影響を受けずに誤動作なく、正常に動作させることができる。

【0080】（第4の実施例）以上の説明では、通常の待機状態におけるセルフリフレッシュ（以下、データ保持モードという）と異なり、ノーマルリード/ライト動作とリフレッシュ動作とが非同期に同時動作している関係上、このノーマルリード/ライト動作によって基板電位やチップ温度等に変動が生じ、これ等の変動に起因して前記データ保持モード時よりもメモリセルのポーズタイム特性は劣化し、電荷のリークは早くなることが予想される。従って、本発明でのノーマル動作と同時に行うリフレッシュ動作の周期は、前記データ保持モードでのリフレッシュ周期よりも長く設定する必要がある。

【0081】しかしながら、本発明のノーマル動作時でのセルフリフレッシュ周期に設定すると、リフレッシュのスペックは満たすが、データ保持モード時のリフレッシュ動作電流がサイクルの短縮化に伴い増加して、結果的にデータ保持電流が増加する欠点が生じる。一方、データ保持モード時のポーズタイム特性に合せた比較的に長いリフレッシュ周期に設定した場合には、良好なリフレッシュを行うことが困難である。

【0082】本実施例は以上の問題点を解決する公正を採用する。図13に本実施例の構成を示す。同図において、メモリアレイ選択回路5の出力はOR回路132（請求項15記載の選択検出回路）に入力され、そのOR回路132の出力であるリフレッシュ周期選択信号をリフレッシュ周期選択回路133に入力する。一方、リフレッシュ周期を決定するタイマは2種類設けられ、タイマA134（請求項16記載の第1のタイマ回路）はデータ保持モード用であって、比較的に長いリフレッシュ周期が設定され、タイマB135（請求項16記載の第2のタイマ回路）はノーマル動作セルフリフレッシュモード用であって、比較的に短いリフレッシュ周期が設定されている。

【0083】前記OR回路132の入力が全てLレベルのとき、即ちメモリアレイ1…の全てが選択されていないときは、リフレッシュ周期選択信号はLレベルとなり、リフレッシュ周期選択回路133はタイマA134を選択し、OR回路132の入力のうち1つ以上がHレ

ベルのとき、即ち1つ以上のメモリアレイが選択されたときは、リフレッシュ周期選択信号はHレベルとなり、リフレッシュ周期選択回路133はタイマB135を選択する。

【0084】したがって、本実施例においては、各リフレッシュモードに応じた最適のリフレッシュ周期を選択できるので、データ保持モード時には、リフレッシュ動作電流を少なく制限して、データ保持電流を少なくできると共に、1個以上のメモリアレイ1…が選択された場合の他の選択されないメモリアレイ1…に対するセルフリフレッシュを最適時期で行うことが可能であり、チップの高性能化を図ることができる。

【0085】

【発明の効果】以上説明したように、請求項1記載の発明の半導体メモリによれば、メモリアレイを複数に分割し、そのうち、選択されたメモリアレイでノーマルリード/ライト動作を行うと同時に、他の選択されないメモリアレイでリフレッシュ動作を行うので、1個のメモリアレイを見ればノーマル動作とリフレッシュ動作との競合がなく、従ってワード線の遅延は生じることなく、外部からのリフレッシュの制御が不要で且つ高速シリアルアクセスが可能である効果を奏する。

【0086】また、請求項6記載の発明の半導体メモリによれば、選択されていないメモリアレイに対してリフレッシュ動作を行うに留まらず、選択されたメモリアレイに対しても、ノーマルリード/ライト動作を一時停止してリフレッシュ動作を行うので、データクロックの動作周波数が遅い場合であっても、リフレッシュ制御を外部から行うことは不要であるという効果を奏する。

【0087】更に、請求項11記載の発明の半導体メモリによれば、選択されない複数のメモリアレイのリフレッシュ動作を時間を異にして行ったので、メモリセルの活性化時及びリセット時のピーク電流を分散して低く制限することができて、電源電圧の変動を小さく抑えて、そのリフレッシュ動作と同時期に行われる選択されたメモリアレイでのノーマルリード/ライト動作をその電源電圧の変動に起因して誤動作することを有効に防止できる効果を奏する。

【0088】加えて、請求項15記載の発明の半導体メモリによれば、データ保持モード及びノーマル動作セルフリフレッシュモードに応じて最適のリフレッシュ周期を選択してリフレッシュ動作を行うことができるので、データ保持電流の増加を招くことなくリフレッシュ動作を適時に確実に行い得て、チップの高性能化を図ることができる効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例における基本的部分の構成を示すブロック図である。

【図2】本発明の第1の実施例の基本的部分のタイミングチャートを示す図である。

【図3】リフレッシュ動作の途中でメモリアレイが選択された場合の説明図である。

【図4】本発明の第1の実施例の特徴部分の構成を示すブロック図である。

【図5】検知信号1、2及びリフレッシュ停止信号の波形を示す図である。

【図6】本発明の第1の実施例の特徴部分のタイミングチャートを示す図である。

【図7】本発明の第2の実施例の構成を示すブロック図である。

【図8】本発明の第2の実施例のタイミングチャートを示す図である。

【図9】本発明の第2の実施例の変形例の構成を示すブロック図である。

【図10】本発明の第2の実施例のタイミングチャートを示す図である。

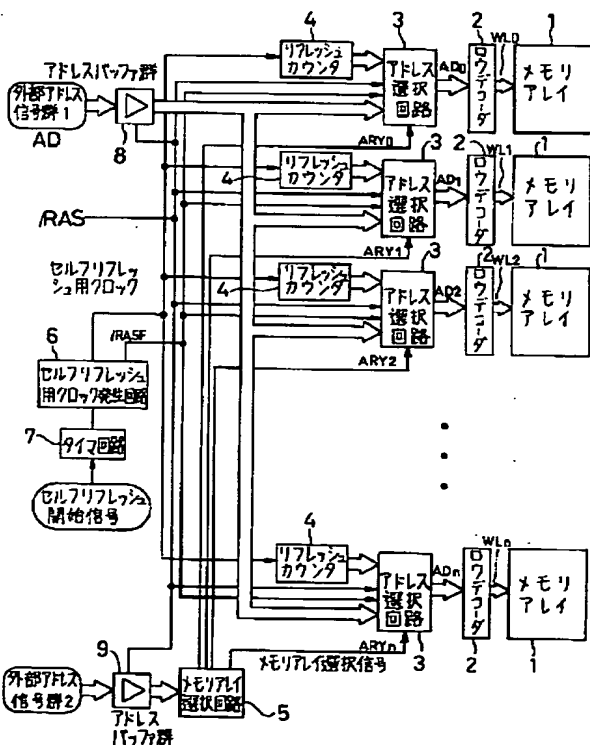
【図11】本発明の第3の実施例の構成を示すブロック図である。

【図12】本発明の第3の実施例のタイミングチャートを示す図である。

【図13】本発明の第4の実施例の構成を示すブロック図である。

【図14】従来のリフレッシュ方式のタイミングチャートを示す図である。

【図1】



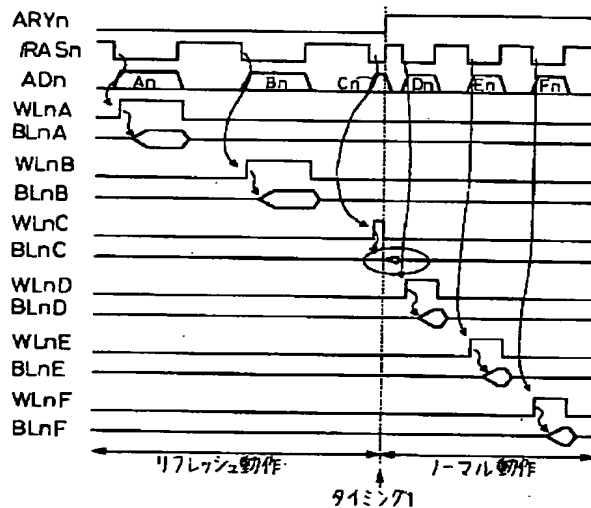
【図15】従来のリフレッシュ方式のブロック図である。

【図16】図15のリフレッシュ方式のタイミングチャートを示す図である。

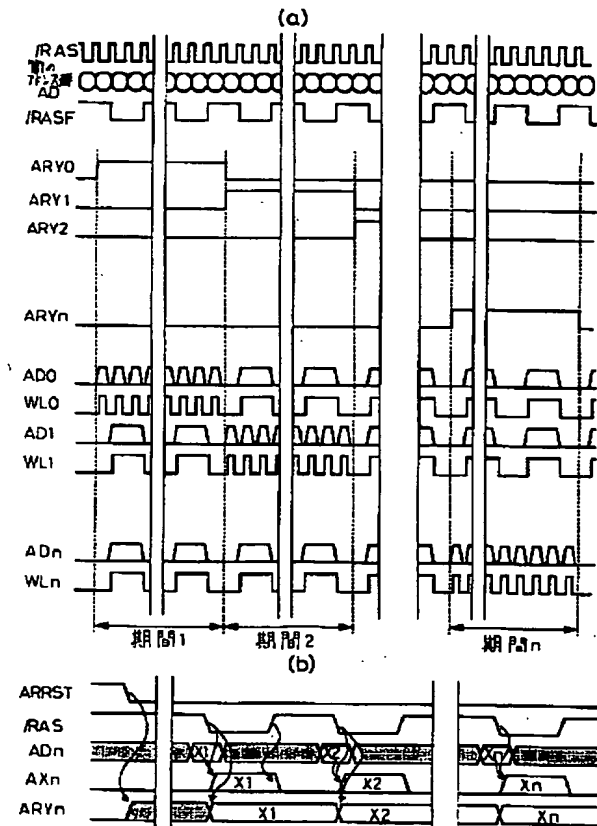
【符号の説明】

1	メモリアレイ
2	ロウデコーダ
3	アドレス選択回路
4	リフレッシュカウンタ
10 5	メモリアレイ選択回路
6	セルフリフレッシュ用クロック発生回路
7	タイマ回路
8	アドレスレスバッファ群
41	カウンタ
42、72、92	カウント数検知回路
43	リフレッシュ停止制御回路
71、91	データクロックカウンタ
73、93	ノーマル動作停止制御回路
20 75、95	クロック選択回路
97	分周器
111	セルフリフレッシュ制御回路
113	レジスタ
114	遅延素子

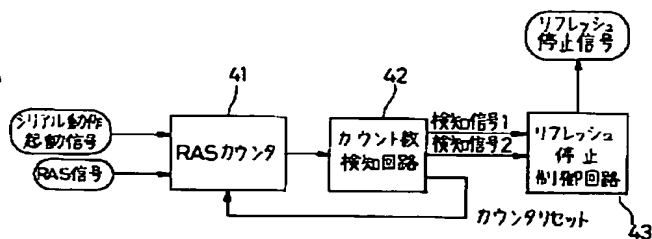
【図3】



【図2】



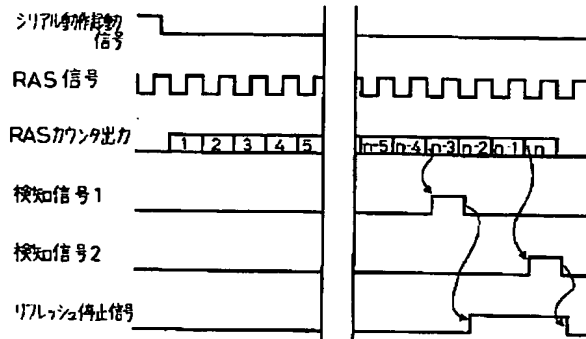
【図4】



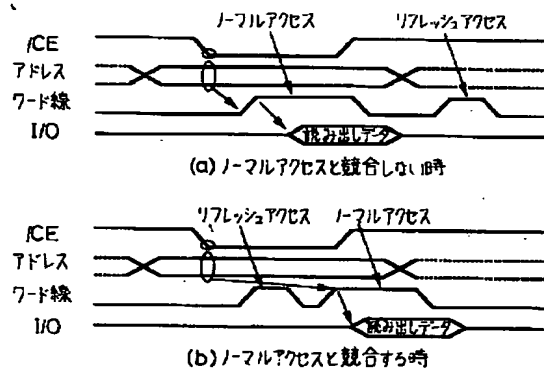
【図10】



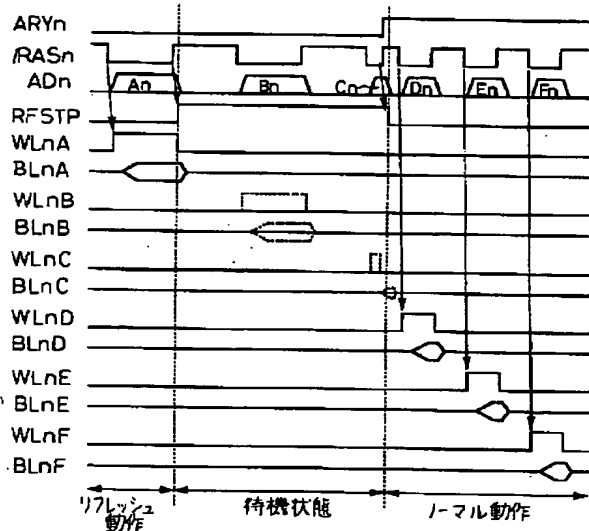
【図5】



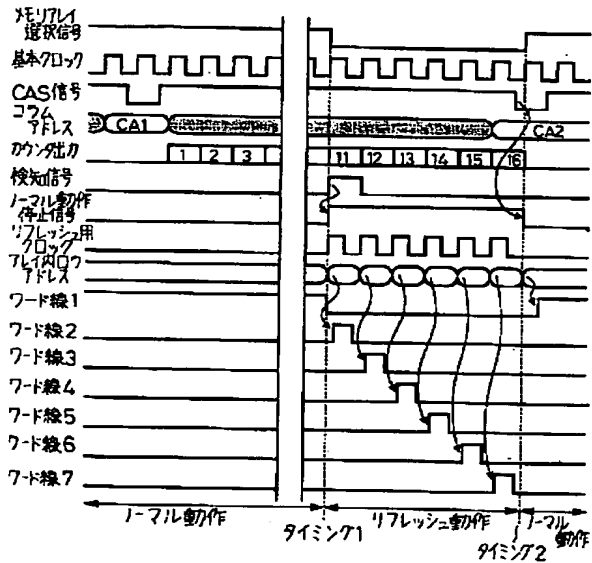
【図14】



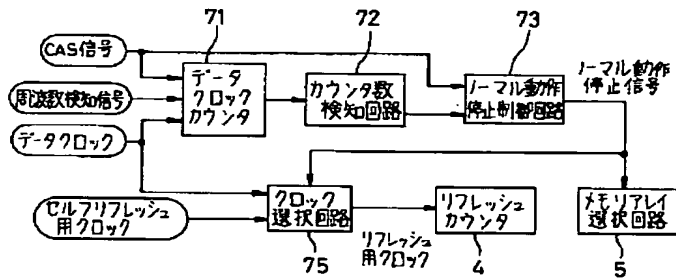
【図6】



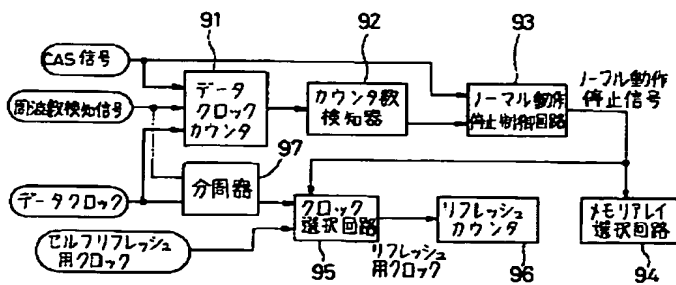
【図8】



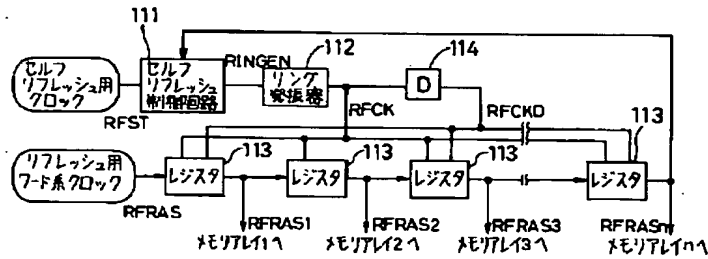
【図7】



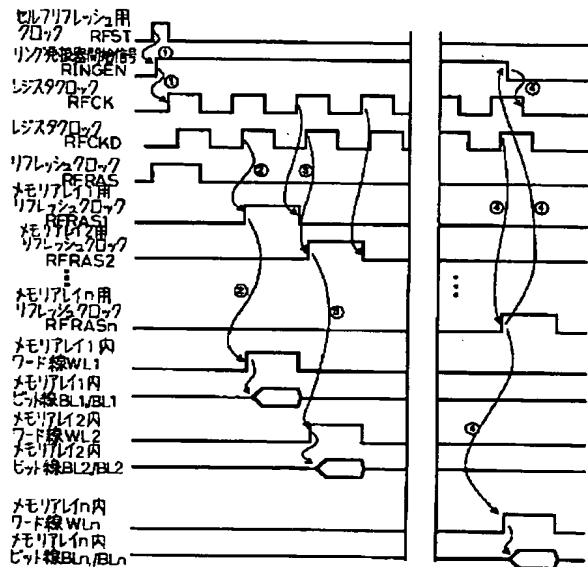
【図9】



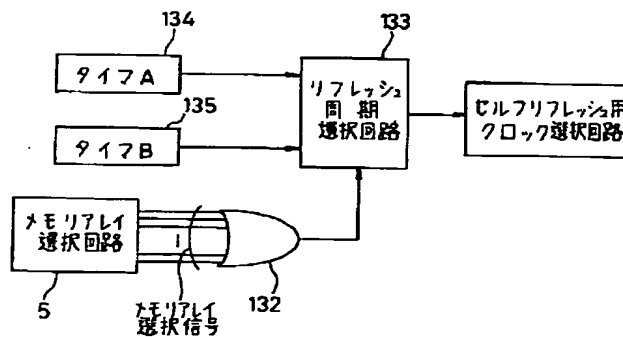
【図 11】



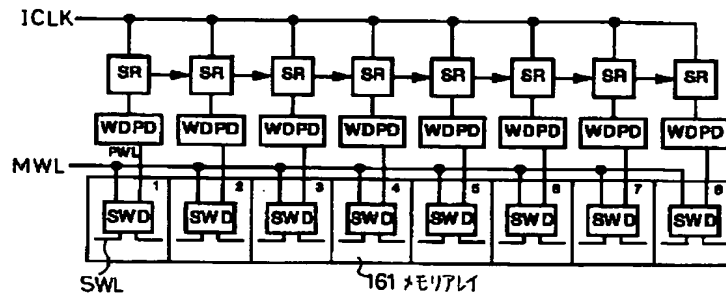
【図 12】



【図 13】



【図15】



【図16】

